DIALOG(R) File 347: JAPIO (c) 2000 JPO & JAPIO. All rts. reserv.



Image available 03658267 LIGHT EMITTING DEVICE

04-023367 [*J*P 4023367 A] PUB. NO.: PUBLISHED: January 27, 1992 (19920127)

INVENTOR(s): KUSUDA YUKIHISA KURODA YASUHISA

APPLICANT(s): NIPPON SHEET GLASS CO LTD [000400] (A Japanese Company or

Corporation), JP (Japan) 02-123302 [JP 90123302]

APPL. NO.: FILED: May 14, 1990 (19900514)

[5] H01L-033/00; B41J-002/44; B41J-002/45; B41J-002/455; INTL CLASS:

H01L-027/15

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 29.4 (PRECISION

INSTRUMENTS -- Business Machines)

JAPIO KEYWORD: R002 (LASERS); R116 (ELECTRONIC MATERIALS -- Light Emitting

Diodes, LED)

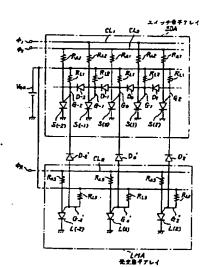
Section: E, Section No. 1197, Vol. 16, No. 185, Pg. 90, May JOURNAL:

06, 1992 (19920506)

ABSTRACT

PURPOSE: To simplify the part of a driving circuit for cutting down the cost thereof by a method wherein a self-scanning type light emitting element array LMA is used as the switch element array SDA for transfer (scanning) while the light emitting functions are divided into another light emitting array in almost the same structure.

CONSTITUTION: Within the title light emitting diode, multiple switch elements S(-2)-S(2) having the first control electrode to externally control the threshold voltage or current for switching operations are arrayed. Besides, the clock lines CL(sub 1)-CL(sub 2) to transfer data are connected to respective switch elements S(-2)-S(2). On the other hand, multiple light emitting elements L(-2) L(0), L(2) having the switch element array SDA transmitting signals to a part of the switch elements S(-2)-S(2)as well as the second control electrode to externally control the threshold voltage or current for light emitting operations are arrayed. Furthermore, the current quantity fed by current feeding lines is controlled by previously provided light emitting array LMA and the third electric means so that the data on the ON/OFF status of the switch elements may be written in the light emitting array LMA to be stored for the specific term written in the LMA.



2.4

DIALOG(R) File 351: Derwent W-1 (c) 2000 Derwent Info Ltd. All rts. reserv.

009008153

WPI Acc No: 1992-135473/*199217*

XRPX Acc No: N92-100931

Semiconductor light-emitting device for optical printer - has light-emitting thyristor array connected to switching diode array controlled by on-off control data NoAbstract Dwg 1/8

Patent Assignee: NIPPON SHEET GLASS CO LTD (NIPG) Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No Kind Date Applicat No Kind Date Week
JP 4023367 A 19920127 JP 90123302 A 19900514 199217 B

Priority Applications (No Type Date): JP 90123302 A 19900514

Patent Details:

Patent No Kind Lan Pg Main IPC Filing Notes

JP 4023367 A 12

Title Terms: SEMICONDUCTOR; LIGHT; EMIT; DEVICE; OPTICAL; PRINT; LIGHT; EMIT; THYRISTOR; ARRAY; CONNECT; SWITCH; DIODE; ARRAY; CONTROL; ON-OFF; CONTROL; DATA; NOABSTRACT

Derwent Class: P75; T04; U12; U13

International Patent Class (Additional): B41J-002/44; H01L-027/15;

H01L-033/00

File Segment: EPI; EngPI

Manual Codes (EPI/S-X): T04-G04B; U12-A01; U12-A01A3; U13-D04A

THIS PAGE BLANK (USPTO)

卵日本国特許庁(JP)

⑩ 特 許 出 願 公 閉

⑫ 公 開 特 許 公 報 (A)

平4-23367

©Int. Cl. 5

H 01 L 33/00
B 41 J 2/44
2/45
2/455
H 01 L 27/15
33/00

識別記号 J 庁内整理番号 8934-4M ❷公開 平成4年(1992)1月27日

8934-4M A 8934-4M

8934-4M 9110-2C

B 41 J 3/21

L (人12百

審査請求 未請求 請求項の数 3 (全12頁)

会発明の名称 発光装置

②符 頤 平2-123302

@出 願 平2(1990)5月14日

@発明者 楠田

幸 久

大阪府大阪市中央区道修町3丁目5番11号 日本板硝子株

式会社内

@発明者 黒田

靖 尚

大阪府大阪市中央区道修町3丁目5番11号 日本板硝子株

式会社内

勿出 願 人 日本板硝子株式会社

大阪府大阪市中央区道修町3丁目5番11号

创代理人 弁理士土屋 勝

明 細 書

 発明の名称 発光装置

2. 特許請求の範囲

発光動作のためのしきい電圧またはしきい電流 を外部から制御するための第2の制御電極をそれ ぞれ有する複数の発光業子が配列されており、前 記発光素子を発光させるための電流を供給する電 流供給ラインが各々の前記発光素子に接続されて いる発光素子アレイと、

前記スイッチ素子の前記第1の制御電極と前記 発光素子の前記第2の制御電極とを個々に接続している第3の電気的手段とを値えるとともに、

前記電液供給ラインが供給する前記電流の量が 制御されることによって、前記スイッチ素子アレ イに外部から書き込まれた各人の前記スイッチ素 子のオン/オフ状態の情報が前記発光素子アレイ に書き込まれ、かつ前記発光素子アレイに書き込まれ、かつ前記発光素子アレイに書き込まれたオン/オフ状態の情報が所望の期間だけ保 持されるように構成されたことを特徴とする発光 装置。

- 2. 前記スイッチ素子および前記発光素子は、 それぞれ半導体のPNPN構造を有する同一構造 の素子で形成されていることを特徴とする請求項 1 に記載の発光装置。
- 3. 前記第3の電気的手段はダイオードであることを特徴とする調水項1または2に記載の発光

签置.

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、集積されて形成されたスイッチ素子と発光素子とを有し、これらの素子に自己走査機能をもたせた発光装置に係り、特に光ブリンタ等に適用することができる発光装置に関する。

(従来の技術)

先に、発明者らは、例えば特開平1-238962号公報などに開示されるように、発光素子アレイ自身に自己走査機能をもたせた発光装置を提案した。このような発光装置の従来例を図面を用いて以下に説明する。

第4回は従来の発光装置を示す平面図であり、 第5回は第4回中のX-X'に沿う部分の断面図 である。第4図および第5図において、発光素子 (発光サイリスタ) Tは、N形半導体基板(N形

a A s 層 2 2 a 、コンタクト孔C。、金属薄膜 4 1 、コンタクト孔C。を介して各々接続されている。

また、各発光素子下のゲート2.2 a は、絶縁保 腹膜3.0 上に設けられた配線用の金属薄膜4.2 を 介して電源電圧 V c x の直流電源に接続されている。 なお、各発光素子丁上には、絶縁保護膜3.1 が設 けられている。

一方、各発光素子下のアノードは、絶縁保護膜30に設けられたコンタクト孔C:、絶縁保護膜30上に設けられた配線用の金属譲渡40、金属譲渡40上の絶縁保護膜31に設けられたコンタクト孔C:を介してクロックラインに接続されている。クロックラインは、第4図に示すように、CL: ~ CL: の3つが設けられている。そして、各発光素子下のアノードは、クロックラインCL: 、CL: の順番で繰り返すように接続されている。

なお。 クロックラインCL; には転送クロック

G a A s 基板) 1 上に畑にN形半導体層(N形G a A s 層) 2 4 b、N形半導体層(N形ALG a A s 層) 2 4 a、P形半導体層(P形G a A s 層) 2 2 a、P形半導体層(P形G a A s 層) 2 2 a、P形半導体層(P形ALG a A s 層) 2 1 b、P形半導体層(P形ALG a A s 層) 2 1 b、P形半導体層(P形G a A s 層) 2 1 a を積層されて構成されている。

なお、発光素子では、ホトリソグラフィ及びエッチング等により分離減50を形成されて、単体の発光素子で(**)、 T(**)、 T(**) に分離されている。

各発光素子Tに対してN形CaAs基板1はカソードになり、N形CaAs層22aはケートになり、P形CaAs層21aとP形ALCaAs層21bとはアノードになっている。各発光素子Tのゲート22aは、絶縁保護膜30に設けられたコンタクト孔C。絶縁保護膜30上に設けられた配線用の金属薄膜41、絶縁保護膜30に設けられた配線用の金属薄膜41、絶縁保護膜30に設けられた配線用の金属薄膜41、絶縁保護膜30に設けられた配線用の金属薄膜41、絶縁保護膜30に設けられたコンタクト孔C。、N形CaAs基版1上に積層されて発光素子アレイと分離されたN形

ø,が供給され、クロックラインCL。には転送 クロックø。が供給される。さらに、クロックラ インCL。には転送クロックø。が供給されるものである。

また、第4図において、抵抗63は各々のゲート間を接続する抵抗ネットワークを形成している。この抵抗63は、光吸収プロック62によって、発光案子下からの光が他の発光素子下に入射しないように設けられている。

さらに、第5図においては、活性層であるP形 GaAs層23a及びN形GaAs層22aへキ +リアを閉じ込めるために、パンド幅の大きいP 形ALCaAs層21bとN形ALGaAs層2 4aとで上記の活性層23a、22aが挟まれて 構成されている。このような構成にすることによ り、発光業子Tの発光効率を向上させている。

次に、第6図は第4図及び第5図に示す従来の 発光装置の等価回路図である。第6図において、 各発光素子T /- 1:) ~ T (1:) は、各結合用抵抗 R (1:) により、それぞれのゲート C - 1 ~ C (1:) 間を電気的

特閒平4-23367(3)

に結合されている。また、発光素子T (= s) $\sim T$ (s) の各ゲートG - s $\sim G$ s は、それぞれゲート負荷抵抗 R_{s-s} $\sim R_{s-s}$ を介して電源ラインへ接続されている。この電源ラインには、電源電圧V - s s の直液電源が接続されている。

なお、ゲート負荷抵抗RLL。~RLIは、それぞれ第4回に示す抵抗63で構成されている。ゲート負荷抵抗RLLI~RLIは、各ゲートGLI~G。に印加される電源電圧Vexによる発光素子の発光状態(オン状態)の電流量を制限するものである。

さらに、各発光素子T (-s) ~T (s) のアノードは、クロックラインC L; ~C L; の1つに接続されており、転送クロック ø; ~ø; のいずれかが印加可能である。また、各発光素子T (-s) ~T (s) のカソードは接地されている。

次に、上記構造の発光装置の動作を説明する。 今、転送クロック ø。 がハイレベルの電圧となり、発光素子T (a) がオン状態(即ち、発光状態)になっているとする。このとき、発光素子T (a) のゲート C。 はほぼ零ポルトとなる。このため各 発光素子Tのゲートを結合した抵抗ネットワーク に電流が流れる。そして、発光素子T(e) に近い ゲートG-(、G) は最も電圧が引き下げられ、ゲ ートG。から離れているゲートほどその影響は少 なくなる。

例えば、次の転送クロック 4」にハイレベルの電圧が設定されると、3素子おきの発光素子 T(1)と T(-1)とがオン可能になる。しかし、ゲート G、の方がゲート G-1より低い電圧となっている。このため、電源電圧 Y **を発光素子 T(1)が動作するしきい電圧より高く、かつ発光素子 T(1)が動作するしきい電圧より低く設定すると、発光素子 T(1)のみをオンさせることができる。

この動作を繰り返すと、3つのクロックライン CL」~CL』を用いて発光素子での走査(即ち、 情報の転送)を行なうことができる。

上記のように、第4図~第6図に示した発光装置は、発光素子のターンオン電圧または電液が、別の発光素子のオン状態に関連づけられるように(即ち、相互作用を生じるように)構成されたこ

とにより発光の自己走査機能を実現したものである。

一般に、光アリンタ等に適用される発光装置は、 発光状態の移動だけでなく発光強度の変調も必要 である、上記した自己走査形の発光装置において は、以下に述べる駆動方法によって発光強度の変 調が可能である。

この駆動方法の原理を第7図(a)、(b)に示す。なお、第7図(a)に示す回路図では特に示されていないが、各発光素子丁のゲートは第6図に示すような電気的手段または光学的手段で接続されている。

各発光素子TのアノードにはクロックラインC L, ~Cl。のいずれか1つが、図の右方向にC L, 、Cl。、Cl。の順番で繰り返し接続され ている。また、クロックラインCL。、Cl。、 Cl。には、それぞれ電波渡!、、1。、1。が 接続され、これらの1。~1。は制御回路信号を 。により制御可能に構成されている。そして、発 光素子T(-1)にはスタートパルス々。が供給され ている.

クロックラインC L, ~ C L。には、転送クロック ø, ~ ø。として矩形信号が時刻 t に対してそれぞれ遅れ t。で供給される。各転送クロック^{***} ø, ~ ø。はわずかに時間の重なりを有するように設定されている。

発光素子T (-21) に矩形のスタートパルス 4 。 が 供給され、このスタートパルス 4 。 にわずかな重 なり時間を有する転送クロック 4 。 が供給される。 そして、転送クロック 4 。 に引き続いて順に転送 クロック 4 。 、 4 。 が供給される。 以後、 4 。 ~ 4 。 が繰り返し供給されることにより、発光素子 アレイは自己患者を始める。

ここで、制御回路信号 ø 」として転送クロック ø 」~ ø 。に同期した信号が供給され、転送クロック ø 」~ ø 。にそれぞれ電流源 l 、~ l 。の出力電流を重量する。このことにより、発光状態にある発光素子下を他の発光素子下よりも強く発光させることができる。

・ 第7図(b)では、発光素子T (e) の輝度しm

特開平4-23367(4)

を特に強くするように、自己走査により発光素子 T (4)、が発光状度になる時期 t 。~ t 。において、 転送クロック 4 。に電波変 1 ,の出力電波 1 。を 加えている。上記の自己走査形の発光装置は、こ のような方法によって任意の位置の輝度 L 。を強 くすることができる。このために、光ブリンタ等 に適用する場合において、発光装置に画像情報を 書き込むことが可能になる。

(発明が解決しようとする課題)

(課題を解決するための手段)

上記従来技術の問題点を解決するために、本発 明の発光装置は、スイッチング動作のためのしき い電圧またはしきい電流を外部から制御するため の第1の制御電極をそれぞれ有する複数のスイッ チ素子が配列されており、各々の前記第1の制御 ・電極が互いに第1の電気的手段にて接続されると ともに電源ラインが各々の前記スイッチ素子に第 2 の電気的手段にて接続されており、かつ情報の 転送を行なうためのクロックラインが各々の前記 スイッチ素子に接続されており、情報を書き込む ための信号を前記複数のスイッチ素子のうちの一 部に供給されるスイッチ素子アレイと、発光動作 のためのしきい電圧またはしきい電波を外部から 制御するための第2の制御電機をそれぞれ有する 複数の発光素子が配列されており、前記発光素子 を発光させるための電流を供給する電流供給ライ ンが各々の前記発光素子に接続されている発光素 子アレイと、前記スイッチ素子の前記第1の制御 電極と前記発光素子の前記第2の制御電極とを個

また、上記従来技術によれば、画像情報を発光 装置に書き込むために、電波源の数をクロックラ インの数だけ設けなければならず、駆動回路の部 分が複雑化して高値になるという問題点があった。 さらに、上記従来技術によれば、発光素子Tの

さらに、上記従来技術によれば、発光素子丁の 発光のデューティサイクルが低いために、平均的 な発光強度が低くなっていた。この場合に、強い 発光を行なおうとすると発光装置の寿命が短くな るという問題点があった。

即ち、従来の自己走査形の発光装置において、オン状態にある発光素子では、転送クロックが重なっている場合を除いて常に1つづつである。従って、例えば2048ビットの発光時間は全体の発光の1/2048である。このため、デューティサイクルが1の場合と同じ光量を得ようとすれば2048倍以上の電流を一時的に各発光素子では近す必要があり、このことによって単体の発光素子での寿命が短くなるという問題点を生じていた。

々に接続している第3の電気的手段とを備えると ともに、前記電流供給ラインが供給する前記電流 の量が制御されることによって、前記スイッチ素 子アレイに外部から書き込まれた各々の前記スイ ッチ素子のオン/オフ状態の情報が前記発光素子 アレイに書き込まれ、かつ前記発光素子アレイに 書き込まれたオン/オフ状態の情報が所望の期間 だけ保持されるように構成される。

好ましくは、本発明の発光装置は前記スイッチ 素子および前記発光素子がそれぞれ半導体のPN PN構造を有する同一構造の素子で形成される。

さらに好ましくは、本発明の発光装置は前記第 3 の電気的手段がダイオードであるように構成される。

(作用)

発光素子アレイに設けられた電流供給ラインは、 それらの発光素子の発光を制剤するラインとして 使用される。走査するためのスイッチ素子アレイ (走査回路)と発光素子とが分離され、スイッチ

特別平4-233G7(5)

素子アレイにより生じるパイアス光が遮蔽される。 つまり、発光素子には発光が必要な時間だけ発光 させることが可能になる。従って、光プリンタ等 に本発明による発光装置を適用した場合、画像情 報の品位の悪化が防止される。

即ち、本発明では従来の自己走査形の発光素子 アレイを転送(走査)用のスイッチ素子アレイと して使用し、ほぼ同一構造の別の発光素子アレイ に発光機能を分離する。そこで、バイアス光の原 因となるオン状態の転送を行なうスイッチ素子ア レイの上部に光遮蔽層を設けることができる。そ して、画像の書き込みに対するパイアス光の影響 を除くことができる。

また、前記スイッチ素子の一部に供給されるスタートパルスのラインにだけ発光強度の変調を行なうための電流源を設ければよいので、電流源の数は少なくて済み、駆動回路の部分は複雑化せず、従って安価に発光装置を構成できる。即ち、画像の書込み信号は、従来のクロックラインにではなく、スイッチ素子のスタートパルスの一部として

スイッチ素子アレイに直接入力でき、このため、 駆動回路の構成が簡略化されて低価格になる。

さらに、前記電波供給ラインが供給する電流の 量が制御されることによって、スイッチ素子のレ イに書き込まれた面像情報(スイッチ素子のカン /オフ状態の情報)が、第3の電気的手段を介かし で発光素子アレイに所定のタイミングで一斉に書 き込まれる。この結果、発光素子は発光し、発光 発光状態はそのまま保持される。従って、発光装 置が次の期間における走査信号によってリセット されるまで、画像情報は発光素子に保持されたま まになる。

このため、発光のデューティサイクルはほぼ! に設定され、発光素子に流れる電流 (ピーク値) を低減でき、発光装置の寿命を長くできる。

なお、スイッチ素子と発光素子とは同一の構造 の素子で形成できるので、製造工程は複雑化せず、 フォトレジストパターンを変更することにより、 従来技術における素子の製造工程がそのまま利用 され得る。

(実施例)

第1 図は本発明の発光装置の一実施例を示す等 価回路図である。第1 図においては、スイッチ素 子アレイ S D A と発光素子アレイしM A とがそれ ぞれ上下に分けて記載されている。

このようなダイオード結合方式を採用している ために、スイッチ素子アレイSDAは2相の転送 クロック ø ,、 ø 』にて情報の転送動作を行なう ことができる。

また、Rai、Raiはそれぞれ各スイッチ素子S (1) ~S (2) のアノードとクロックラインCし」 Cし」のいずれか一方とを接続するアノード負荷 抵抗である。このアノード負荷抵抗Rai、Raiは、 各スイッチ素子S (12) ~S (2) のオン状態での電 流量を制限するためのものである。そして、各ス イッチ素子S (12) ~S (2) のカソードはそれぞれ 接地されている。

さらに、Rii、Riiはそれぞれ各スイッチ素子 $S_{(1:1)} \sim S_{(1:1)}$ のゲート $G_{-1} \sim G_{2}$ と電源電圧 V_{-1} の電気的手段)である。このゲート負荷抵抗 $R_{1:1}$ 、Riiは、電源電圧 V_{-1} の直流電源から各ゲート $G_{-1} \sim G_{2}$ に流れる電流量を制限するものである。そして、各ゲート $G_{-1} \sim G_{3}$ に、それぞれダイオード $G_{-1} \sim G_{3}$ 、 $G_{3} \sim G_{4}$ (第3の電気的手段)のカソードに接続されている。

なお、第1図のスイッチ素子アレイSDAにお

特開平4-23367(6)

いて、スイッチ案子 S (-3) の左側には、図示しないスイッチ案子 S (-3) が設けられている。このスイッチ案子 S (-3) のゲート G -3 は結合用ダイオード D -3 と同様に、スイッチ案子 S (-3) のゲート G -3 に接続されている。また、このスイッチ素子 S (-3) のゲート G -4 は、ゲート負荷抵抗 R -1 。(図示せず)を介して電源電圧 V ox の直流電源に接続されている。

さらに、スイッチ案子S (-3)のアノードは、アノード負荷抵抗R (図示せず)を介してスタートパルス ()が供給される端子に接続されている。そして、S (-3)のカソードは接地されている。なお、上記のスタートパルス ()が供給される端子またはラインに発光強度の変調を行なうための電波源が設けられるものであるが、第1図では図示を省いている。

次に、発光素子アレイLMAについて説明する。 ø a は発光素子(発光サイリスタ) L (-21)、 L (o) 、 L (a) への情報の書き込みの許可/禁止を制御し、 かつ書き込まれた状態をリセットするクロック (走査信号) である。そして、CL。はクロック ¢ 。を供給される電流供給ラインである。

また、Rasは各発光素子しにお、したの、したのでノードと電流供給ラインCLaとを接続するアノード負荷抵抗である。このアノード負荷抵抗Rasは、各発光素子しにお、したの、したののオン状態での電流量を制限するためのものである。そして、各発光素子したが、したの、したののカソードはそれぞれ接地されている。

さらに、R₁,は各発光素子し $_{(1)}$ 、 $_{(1)}$ 、 $_{(1)}$ のゲート(第2の制御電極) $_{(2)}$ 、 $_{(2)}$ 、 $_{(3)}$ 、 $_{(4)}$ のゲート(第2の制御電極) $_{(4)}$ 、 $_{(5)}$ 、 $_{(4)}$ と電源電圧 $_{(4)}$ の直流電源とを接続するゲート負荷抵抗 $_{(4)}$ は、電源電圧 $_{(4)}$ に流れる電流量を制限するものである。そして、各ゲート $_{(4)}$ 、 $_{(4)}$ 、 $_{(4)}$ 、 $_{(4)}$ 、 $_{(4)}$ で、 $_{(4)}$ で、 $_{(4)}$ で、 $_{(4)}$ で、 $_{(4)}$ の電気の手段)のアノードに接続されている。

即ち、第1図においては、スイッチ素子Sι-ロ、

S (a) 、 S (a) のゲート G-1、 G 。 、 G 2 が、それぞれダイオード D-2 、 D 。 、 D 2 を介して、発光素子 L (-1) 、 L (a) 、 L (a) のゲート G-2 、 C 。 、 C 2 に個々に接続されている。

次に、スイッチ素子アレイSDAの部分の動作 を説明する。

今、スタートパルス ø s としてハイレベルまたはローレベルの電圧がスイッチ素子 S (-2)のアフード (図示せず) に供給されたとする。この場合に、ハイレベルの電圧が、電源電圧 V e s に拡散電 位 V e s に を加えた電圧以上に高ければ、スイッチ素子 S (-2)のオン状態を持電圧よりも低ければ、スイッチ素子 S (-3)はオフ状態になる。

オン状態ではスイッチ素子S (-3)のゲート電圧 はほぼ零ポルトとなり、オフ状態ではゲート電圧 は電源電圧 V **と同じ電圧になる。スイッチ素子 S (-3)のゲート電圧がほぼ零ポルトになれば、結 合用ダイオード D -* (図示せず)によってスイッ チ素子 S (- s) のゲート電圧が低下する。そして、 スイッチ素子 S (- s) のターンオン電圧も低下する。 従って、転送クロック ∮ s によってスイッチ素子 S (- s)をオン状態に設定することができる。

このオン状態は転送クロックも、、す』によって順次、第1図の右方向に転送されていく。つまり、スタートパルスす。のハイレベルの電圧によって、スイッチ素子アレイSDAにオン状態が書き込まれ、その状態が順次右方向に転送されていくことになる。

但し、全てのピットがオン状態である場合に、このオン状態を転送することは本スイッチ素子アレイの構成上から不可能であって、1 ピットおきにオンとオフとを繰り返して転送することになる。即ち、スタートパルス ø 』の波形も転送クロック ø 」、 ø 』に同期してハイレベルとローレベルとを交互に送る必要がある。

今、偶数ピットのみのオン状態およびオフ状態 に有効な情報があるものとして、オン状態を1、 オフ状態を0とすると、スタートパルス 4 』によ

持開平4-23367(ア)

って1または0が書き込まれ、転送クロックォ」、 タェによって、その1、0が転送されて行くこと になる。このようにして、1または0という信号 (情報)がスイッチ素子アレイSDAに書き込ま れる。

次に、発光素子 L (-z)、(L (e) 、 L (z)) の 動作について説明する。

仮にし(-z)、が0であるとすると、クロック∮ a の電圧が零ポルトであれば発光素子し(-z) はオ ン状態にはならない。即ち、発光素子し(-z) は書 き込み禁止の状態に設定される。クロック∮a の 電圧が発光素子し(-z) のオン状態維持電圧から V ez+ Veir の間の電圧に設定されたとすると、発 光素子し(-z) は書き込み許可の状態に設定される。 そして、ゲートG-z の電圧が変化させられるこ とによって、発光素子し(-z) はオン状態に設定可 能になる。

さて、スイッチ素子アレイSDAから発光素子 アレイLMAへの情報の書込みについて説明する。 スイッチ素子アレイSDAは、前述したように 1または0の情報が書き込まれる。最後のピットまで情報が書き込まれた段階で、転送クロック ¢ ・、 ¢ : がそれぞれローレベル、ハイレベルの状態に難持される。これによって、情報の転送動作が終了し、スイッチ素子アレイSDAに書き込まれた情報は保持される(特に、偶数ピットにおいて保持されている)。

スイッチ素子アレイの偶数ピットにおいて、オン状態のスイッチ素子 Sのゲート電圧はほぼ等ポルトであり、オフ状態のスイッチ素子 Sのゲート電圧については Vair の約2倍以上である。なお、ては、転数ピットがオン状態の場合に Vair の約2倍の電圧 とあり、それ以外は Vair の約2倍の電りも大きくなる。なお、ここで Vair は PN 接合の拡散電位である。

スイッチ素子S (-x)、 S (x) 、 S (x) のそれぞれのゲート電圧は、ダイオードD-x'、 D a'、 D a'、 L (x) 、 L (x

しは、のゲートC-・・、C・・、C・・に伝達される。従って、発光素子しいは、しは、、しは、のゲート電圧は、オン状態の場合でVair、となり、オフ状態の場合でVair、の3倍以上となる。そして、オン状態の場合で発光素子のターンオン電圧はVair、の2倍となり、オフ状態の場合でVair、の4倍となる。

一方、クロック # ** については、一旦零ポルト に設定して全体を発光をなくし(即ち、リセット する)、その後にハイレベルの電圧 V ** に上昇さ せる。この電圧 V ** が、

2 Vair < Vne < 4 Vair

の範囲に設定されていると、オン状態のスイッチ 素子Sに対応する発光素子Lがオン状態になり、 オフ状態のスイッチ素子Sに対応する発光素子L はオフ状態のままになる。

従って、スイッチ素子アレイSDAに書き込まれた1、0の情報がそのまま発光素子アレイLMAに書き込まれることになる。

この後、電圧V==は発光素子のオン状態維持電

圧以上であって Vair の 2 倍の電圧未満の値に再 設定される。このことにより、発光素子 L は、ス イッチ素子 S のゲート電圧に影響されなくなり、 書き込まれた情報を保持し続ける。そして、発光 素子 アレイ L M A が情報の保持状態にある間に、 前述と同様にして、スイッチ素子 アレイ S D A は 次の情報を書き込まれる。

やがて、クロックが』がローレベルの電圧に設定されて、各発光素子しがリセットされる。リセット後、再び情報が発光素子アレイLMAに書き込まれる。以上のようにして、一連の動作が繰り返し行なわれる。

次に、第1図に示す発光装置を光ブリンタ用の 書き込み光源に適用した場合について述べる。

例えば、発光装置が2048ビットの発光素子 しを有するものとすると、スイッチ素子Sはその 倍の4096ビットを必要とする。光プリンタに おける書き込み光漆の電流量は約5m人であるか ら、全てのビットの発光素子しが発光状態である とすると、約10Aという電流が流れる。一方、

特閒平4-23367(8)

スイッチ素子Sからの情報伝送のための電流は、 ゲート負荷抵抗Rにか30kΩの場合に0.5mA であることが実験的に分かっているので、全ての ピットの発光素子Lが発光状態であれば、1A程 度である。

なお、この情報転送のための電流量は、光ブリンティングに必要な電流 1 0 Aに比べて 1 割であり、実用上問題のない値である。

また、スイッチ素子Sからの情報が発光素子しに移動させられた段階で転送クロック 6 1 、 6 2 の電圧を一旦零ポルトに低下させることにより、スイッチ素子アレイSDA全体がオフ状態になってリセットが行なわれる。この方法を用いた場合には、スイッチ素子Sがオン状態になる時間が考慮されると、等価的に電流量が下がることになる。つまり、前述の1Aに比べて等価的に 0.5A程度まで電流量が下がることになる。

発光素子しの2048ビットに対して、スタートパルス 4。が供給されるデータ入力値(図示せず)が1つだけでは、情報の転送速度はかなり高

速であることが必要である。この点については、 データ入力値を複数設けることによって、情報の 転送速度を低下させることができる。例えば、6 4 ピットまたは128 ピットを一単位として発光 素子しのチップが形成され、このチップごとに情 報が入力されてもよい。

128ビットごとに情報の入力を並列に行なった場合、2048ビットに対して20個のデータ入力端を有することになる。このため、情報の転送速度は1/20でよいことになる。従って、発光装置は余裕のある動作を行なうことができる。

なお、発光素子しにおける出力光の光量のばらつきを防ぐために、アノード負荷抵抗 R a i をレーザ等を用いて微調整することが可能である。このことによって、出力光の光量のばらつきのない発光装置を得ることができる。

また、第1回では、スイッチ素子アレイSDAにおける偶数ピットの右側に接続される結合用ダイオードD.。D. の特性と、奇数ピットの右側に接続される結合用ダイオードD.。D. の特性

とが異なっている。従って、偶数ピットと奇数ピットとで動作電視等を分けて最適化することが重要である。このために、Riz<Ri、Ri、RiくRi に設定する方が望ましく、この場合には発光装置はより安定で高速な動作を行ない得る。

さらに、第1図では、ダイオード結合方式と呼ばれる構成を採用しているが、結合方式はこれに限られない。例えば、第6図に示すように抵抗R, を用いる抵抗結合方式や、スイッチ素子Sの発光機能および受光機能を利用する光結合方式であってもよい。

なお、第1図では転送クロックの数として2つ(2相)の場合を説明したが、3つ(3相)以上であってもよい。但し、3相によるスイッチ素子Sの駆動の場合には、3ピットのスイッチ素子Sに対して1ピットの発光素子Lが対応することになる。

また通常、このような発光装置(デバイス)が 製作される際に GaAsに代表される直接遷移形 の半導体が使用されるが、必ずしもこれに限られ るものではない。

次に、第2回は第1回に示した等価回路を同一の半導体基板上に形成した場合の一例を示す断面図である。第2回において、71はN形半導体基板であり、81はP形半導体層、82はN形半導体層、83はP形半導体層である。なお、第1図と同一物には同一符号が記載されている。

この第2図に示す実施例で重要な点は、第1図に示したスイッチ素子S、結合用ダイオードD-2~D,、D-2~CD。 、発光素子L等が半導体層81、82、83、半導体基板71の組合せで形成でき、従って、製造工程を複雑化することなく、第1図の回路構成が集積化されて形成されることである。

例えばスイッチ素子S (...)において、最上層の P形半導体層 8 1 がアノードになり、N形半導体 層 8 2 がゲート G ... になり、N形半導体基板 7 1 がカソードになっている。そして、N形半導体層 8 2 の上に形成されたP形半導体層 8 1 の 2 つの 島が結合用ダイオードD...、D... になっている。

特尔平4-23367(9)

2 図と同一物には同一符号が記載されている。第

3 図に示すように、スイッチ素子アレイSDAと

発光素子アレイしMAとが上下に分けて配置され

ている。そして、各抵抗RAi~RAs、RLi~RLs

が薄膜抵抗によって形成されている(半導体層8

なお、スイッチ素子Sの上部にはパイアス光を

遮蔽するための光遮蔽層が設けられるものである

第3図では、2つのスイッチ素子Sに対して1

つの発光業子しが設けられており、発光素子しの

1~83を用いて形成することもできる)。

が、第3図では図示を書いている。

これらのダイオード D-1、 D-1 は、スイッチ素子 S (-1) と同様の構造を有しており、 S (-2) と全く同じ製造工程で形成される。

また、発光素子L(xxx)についても、スイッチ素子S(xxx)と全く同じ構造を有し、中はり同じ製造工程で形成される。

なお、各抵抗 R A 1 ~ R A 3 、 R L 1 ~ R L 3 は 環 展 抵 抗 に よって 形成することができ、また各半 導体 層 8 1、82、83を利用して 形成することもできる。また、スイッチ素子 S の上部には 光遠蔽 層が 設けられるものであるが、第2図では 図示を省いている。このような 第2図に 示される 構造によれば、 発光 装置 は 第1図で 説明したものと全く同じ 動作を 行なうことができる。

また、第2図の構造では発光素子として自然発 光を利用したモードのデバイスを例示したが、誘 導放出によるモード(即ち、レーザのモード)で あっても全く問題なく動作する。

次に、第3図は第2図の平面構造の一例を示す 平面図である。第3図において、第1図および第 配列ピッチがスイッチ素子Sの配列ピッチの2倍になっている。このために集積度が上がらないかのように見えるが、この点についてはスイッチ素子Sの配列の仕方を2列としてジグザクに配列することにより解決することができる。また、もう1つのスイッチ素子アレイSDAを発光素子アレイLMAの反対側に設けることにより、発光素子Lの配列ピッチを小さくすることもできる。

なお、上記実施例では半導体の積層の仕方を上

部からPNPNとした場合について説明したが、 NPNPとした場合でも動作電圧、転送クロック 等の極性を反転すれば同様に動作させることがで きる。

また、上記実施例ではシフトレジスタ機能を有する部分としてPNPN形のサイリスタ構成を例に説明したが、電圧を検知してしまい電圧が低下することを利用して情報の転送動作を行なわせるという構成は、その機能を構成できる素子であれば特に限定されない。例えば、PNPNの4層構成でなく、6層以上の構成でも全く同様のシフトレジスタ機能を達成できる。

さらに、上記実施例ではPNPN形のサイリスタ構成を例に説明したが、静電誘導(SI)サイリスタまたは電界制御サイリスタ(FCT)を用いても全く同様の機能を連放できる。

なお、上記実施例では接地された半導体基板を 用いた場合について説明したが、本発明はこれに 限られず、基板として他の物質を用いてもよい。 例えば、クロム (C,) 等をドウプした半絶縁性 G a A s 基板上にN形G a A s 層を形成し、この層の上に上記実施例で述べた構造を形成してもよりい。また、ガラス、アルミナ等の絶縁性基板上に分半導体膜を形成し、この半導体膜を用いて上記実ど 施例で述べた構造を形成してもよい。

(発明の効果)

以上述べたように、本発明の発光装置は、従来の自己走査形の発光装置を転送用スイッチアファイン して使用し、ほぼ同一構造の別の発光素子ア原因 との発光機能を分離したので、バイアス光の原因となるオン状態の転送を行なうスイッチ素子の企業に光遮蔽層を設けることができ、画像情報の書き込みに対するバイアス光の影響を除去できる。このため、光プリンタ等の品位を向上させることができる。

また、画像情報を書き込むための信号は、従来 技術のようにクロックラインに供給されるのでは なく、スタートパルスの一部としてスイッチ素子

特閒平4-23367 (10)

に直接入力できる。このため、駆動回路が簡略化 されて低価格になる。

さらに、発光素子に書き込まれた情報は走査信号 (クロック 4 m) によってリセットされるまで 維持されるので、発光のデューティサイクルがほぼ1に設定される。従って、発光素子に流れる電流 (ピーク値) を少なくすることができるので、発光装置の長寿命化を実現できる。

なお、発光素子アレイを投けることにより、発 光のデューティサイクルがほぼ1の発光装置を、 比較的簡単な製造工程にて実現できる。

また、本発明の発光装置はディスプレイ等にも 適用でき、これらの機器の性能向上、低価格化に 大きく寄与することができる。

4. 図面の簡単な説明

第1図は本発明の発光装置の一実施例を示す等価回路図、第2図は第1図の等価回路を同一半導体基板上に形成した場合の一例を示す断面図、第3図は第2図の平面構造の一例を示す平面図、第

4 図は従来の発光素子アレイの構造を示す平面図、第 5 図は第 4 図の X - X ′ に沿う断面図、第 6 図は第 4 図および第 5 図の等価回路図、第 7 図(a)、(b)は従来の発光素子アレイの駆動方法を説明するための図ある。

なお、図面に用いた符号において、

SDA……スイッチ素子アレイ

S (-1)~S (1) ……スイッチ素子

C Li~ C Liクロックライン

G-x~G: ……ゲート (第1の制御電極)

D-z~D, ……結合用ダイオード (第1の 電気的手段)

R₁、~ R₁。……ゲート負荷抵抗(第2の電気的手段)

G., ', G.', G.'

………ダイオード(第3の電気的

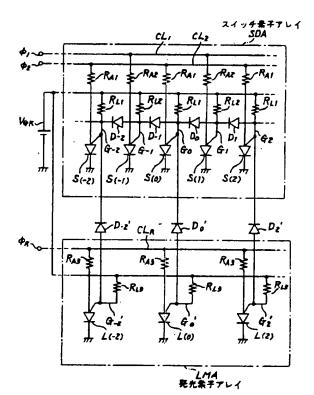
手段)

LMA ……発光素子アレイ

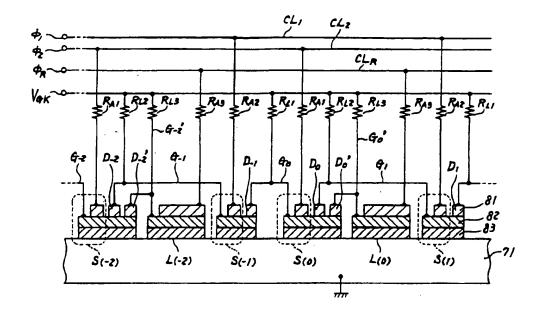
Line Line Line

C L a電流供給ライン
G ... 、G a ... 、G a ... (第2の制御電極)
である。

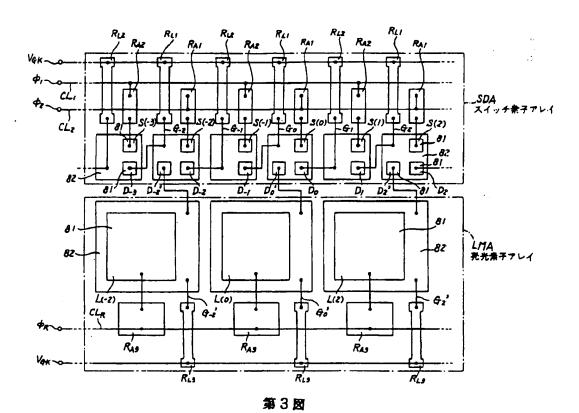
代理人 土屋 陽



第1因



第2図



-427-

